

Requested Patent: JP62229976A

Title:

FIELD EFFECT TRANSISTOR WITH LIGHTLY DOPED DRAIN STRUCTURE AND  
METHOD FOR MANUFACTURING THE SAME ;

Abstracted Patent: US5061649 ;

Publication Date: 1991-10-29 ;

Inventor(s): TAKENOUCHI NAKO (JP); HIEDA KATSUHIKO (JP) ;

Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP) ;

Application Number: US19870029954 19870325 ;

Priority Number(s): JP19860071158 19860331 ;

IPC Classification: H01L21/265 ;

Equivalents: DE3709708, KR9102037 ;

**ABSTRACT:**

A semiconductor integrated circuit device is disclosed which has an MOSFET with a lightly doped drain or LLD structure. A gate electrode layer is insulatively provided above a semiconductor substrate of p conductivity type. Source and drain layers of n conductivity type are formed in the substrate in such a manner as to be substantially self-aligned with the gate electrode. Each of these source and drain layers is comprised of a heavily doped diffusion layer and a lightly doped diffusion layer. The n- diffusion layer is deep enough to fully surround the heavily doped layer in the substrate. The n- diffusion layer has a step-like cross-section, whereby the effective channel length of MOSFET is increased inside the substrate to increase the punch-through voltage level.

## ⑫ 公開特許公報(A)

昭62-229976

⑤ Int. Cl.

H 01 L 29/78  
27/08

識別記号

1 0 2

庁内整理番号

8422-5F  
7735-5F

⑬ 公開 昭和62年(1987)10月8日

審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 昭61-71158

⑯ 出 願 昭61(1986)3月31日

⑰ 発 明 者 竹之内 直子 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑱ 発 明 者 稗田 克彦 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑲ 出 願 人 株式会社東芝 川崎市幸区堀川町72番地  
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

半導体装置およびその製造方法

## 2. 特許請求の範囲

(1) 複数のMOSFETを集積形成してなる半導体装置において、MOSFETのソース、ドレイン領域のうち少なくともドレイン領域を、ゲート領域に隣接する部分で浅く、ゲート領域から所定距離をおいて階段状に深くなる低不純物濃度の拡散層と、この拡散層内のゲート領域から所定距離離れた位置の表面部に形成された高不純物濃度の拡散層とから構成したことを特徴とする半導体装置。

(2) 前記低不純物濃度の拡散層は、ゲート電極に自己整合されて形成された第1の拡散層と、ゲート電極から所定距離をおいて第1の拡散層より深く形成された第2の拡散層とからなり、前記高不純物濃度の拡散層は前記第2の拡散層内にこれより浅く形成された第3の拡散層からなる特許請求の範囲第1項記載の半導体装置。

(3) 半導体基板にMOSFETを集積形成する半導体装置の製造方法において、基板にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして不純物をドーピングしてソース、ドレイン領域に低不純物濃度の第1の拡散層を形成する工程と、前記ゲート電極側壁段差部に自己整合的にマスク材を形成する工程と、前記ゲート電極とマスク材をマスクとして不純物をドーピングして前記第1の拡散層より深い低不純物濃度の第2の拡散層を形成する工程と、前記ゲート電極とマスク材をマスクとして不純物をドーピングして前記第2の拡散層より浅い高不純物濃度の第3の拡散層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## [発明の目的]

(産業上の利用分野)

本発明は、複数のMOSFETを集積形成してなる半導体装置およびその製造方法に関する。

(従来の技術)

集積回路の微細加工技術の進歩により、実効チャンネル長が $1\mu m$ 以下のMOSFETが作られるようになってきた。MOSFETが微細化されると種々の問題が生じる。例えば短チャンネル効果により特性が不安定になり、またソース・ドレイン間でパンチスルーを生じ易く耐圧が低くなる。またドレイン近傍のピンチオフ領域で衝突電圧により基板電流が発生し、これによりソース接合が順バイアスされてソースから注入されたキャリアにより更に衝突電圧が促される、というフィードバックがかかって、ソース・ドレイン間がブレインダウンするという現象も生じる。更にCMOSの場合には、寄生バイポーラトランジスタによるラッチアップ現象も大きい問題となる。

これらの問題を解決するMOSFET構造として従来、第4図或いは第5図に示すものが知られている。これらは $n$ チャンネルMOSFETの例である。即ち、 $p$ 型 $Si$ 基板41を用い、フィールド絶縁膜46で分離された領域にゲート絶縁膜42を介してゲート電極43が形成され、このゲ

ート電極43に自己整合されてソース、ドレイン拡散層が形成されている。ソース、ドレイン拡散層は図示のように、ゲート電極43に自己整合された低不純物濃度の $n^-$ 型層44<sub>1</sub>、44<sub>2</sub>と、ゲート領域から所定距離離れて $n^-$ 型層44<sub>1</sub>、44<sub>2</sub>に一部重なるように形成された高不純物濃度の $n^+$ 型層45<sub>1</sub>、45<sub>2</sub>とから構成されている。47はCVDによる $SiO_2$ 膜であり、ソース電極48およびドレイン電極49はこの $SiO_2$ 膜47に開けたコンタクトホールを介してそれぞれ $n^+$ 型層45<sub>1</sub>、45<sub>2</sub>に接触させている。

これらのMOSFET構造はLDD (Lightly Doped Drain) 構造と呼ばれる。このようにソース、ドレイン拡散層のうちゲート領域側の部分を低不純物濃度の $n^-$ 型層44<sub>1</sub>、44<sub>2</sub>で構成することにより、チャンネル領域の等電位線の歪みを小さくし、またドレイン近傍での電界集中を小さくすることができ、上述した問題点のある程度改善することができる。

しかし第3図の構造では、高不純物濃度の $n^+$ 型層45<sub>1</sub>、45<sub>2</sub>が直接基板41と接しており、接合破壊を生じ易いという難点がある。特にチャンネル長が $1\mu m$ 以下の微細MOSFETでは、パンチスルーを防止するために基板の不純物濃度を濃くする傾向にあり、この接合耐圧の低下が大きい問題になる。

一方第4図の構造は、 $n^+$ 型層45<sub>1</sub>、45<sub>2</sub>が $n^-$ 型層44<sub>1</sub>、44<sub>2</sub>内に形成されているため、接合耐圧の点では問題ない。しかし、 $n^-$ 型層44<sub>1</sub>、44<sub>2</sub>の接合深さが大きいため、パンチスルーが起り易いという難点がある。

(発明が解決しようとする問題点)

以上のように従来提案されているLDD構造では、ソース、ドレインの接合耐圧を十分大きく保ち、しかもパンチスルーを確実に防止することが困難であった。

本発明は上記した点に鑑みなされたもので、MOSFETをその素子特性を劣化させることなく微細化することを可能とした半導体装置および

その製造方法を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明は、基板上に複数個集積形成されるMOSFETのソース、ドレイン領域のうち少なくともドレイン領域を、ゲート領域に隣接する部分で浅く、ゲート領域から所定距離をおいて階段状に深くなる低不純物濃度の拡散層と、この拡散層内のゲート領域から所定距離離れた部分の表面に形成された高不純物濃度の拡散層とから構成したことを特徴とする。より具体的には、前記低不純物濃度の拡散層を、ゲート電極に自己整合された第1の拡散層と、ゲート電極から所定距離をおいて第1の拡散層より深く形成された第2の拡散層とから構成し、前記高不純物濃度の拡散層は第2の拡散層内にこれより浅く形成された第3の拡散層により構成する。

また本発明の方法は上記の如きMOSFETを形成するに際して、ゲート電極をマスクとして不純物をドーピングして低不純物濃度の第1の拡散層を

形成し、次にゲート電極側壁段差部に自己整合的にマスク材を形成して、このマスク材とゲート電極をマスクとして不純物をドーピングして低不純物濃度の第2の拡散層を形成し、更に前記マスク材とゲート電極をマスクとして不純物をドーピングして第2の拡散層表面部に高不純物濃度の第3の拡散層を形成する。

#### (作用)

本発明のMOSFET構造では、ソース、ドレイン領域の拡散層が基板に接する部分は低不純物濃度層であるため、衝突電離を起こしにくく、また接合耐圧が高いものとなる。また低不純物濃度の拡散層が階段構造となっているため、パンチスルー耐圧が改善され、短チャネル効果も抑制される。

また本発明の方法によれば、ソース、ドレイン領域を構成する第1～第3の拡散層は全て自己整合的に形成され、微細寸法で優れた特性のMOSFETをもつ集積回路を実現することができる。

酸化膜17およびゲート電極14をマスクとして例えば、加速電圧30KeV、ドーズ量 $3 \times 10^{13} / \text{cm}^2$ の条件でリンをイオン注入して $n^+$ 型層(第2の拡散層)18<sub>1</sub>、18<sub>2</sub>を形成する(第2図(c))。更に続けて例えば、加速電圧40KeV、ドーズ量 $5 \times 10^{13} / \text{cm}^2$ の条件でヒ素をイオン注入して $n^+$ 型層19<sub>1</sub>、19<sub>2</sub>(第3の拡散層)を形成する(第2図(d))。この後全面の熱酸化を行って、拡散層の不純物を活性化する。こうしてゲート領域に自己整合された低不純物濃度の浅い $n^-$ 型層15<sub>1</sub>、15<sub>2</sub>と、これらに重なる低不純物濃度の深い $n^-$ 型層18<sub>1</sub>、18<sub>2</sub>と、高不純物濃度で浅い $n^+$ 型層19<sub>1</sub>、19<sub>2</sub>とからなるソース、ドレイン領域が形成される。この後全面をCVD酸化膜20で覆い、コンタクトホールを開口してソース電極21、ドレイン電極22その他の配線を形成してMOSFETが完成する(第2図(e))。

この実施例によれば、ソース、ドレイン拡散層のうちゲート領域に接する部分を低不純物濃度の

#### (実施例)

以下本発明の実施例を説明する。

第1図は一実施例のMOSFET構造を示し、第2図(a)～(e)はその製造工程断面図を示す。これを製造工程に従って説明すると、先ずp型Si基板11にフィールド酸化膜12を形成し、素子領域に200Å程度のゲート酸化膜13を形成した後、4000Å程度のリンを含む多結晶シリコン膜によりゲート電極14を形成する。次いでゲート電極14をマスクとして用いて例えば、加速電圧15KeV、ドーズ量 $3 \times 10^{13} / \text{cm}^2$ の条件でリンをイオン注入してソース、ドレイン領域に $n^-$ 型層(第1の拡散層)15<sub>1</sub>、15<sub>2</sub>を形成する(第2図(a))。その後全面を熱酸化して酸化膜16を形成した後、シランガスをを用いたCVD法により全面に酸化膜17を堆積する(b)。そして例えば反応性イオンエッチング(RIE)法により全面エッチングして酸化膜17をゲート電極14の側壁段差部にのみマスク材として自己整合的に残置させる。この後

$n^-$ 型層15<sub>1</sub>、15<sub>2</sub>で構成しているため、衝突電離を抑制して信頼性を向上することができる。またソース、ドレイン拡散層のうち高不純物濃度の $n^+$ 型層19<sub>1</sub>、19<sub>2</sub>は $n^-$ 型層18<sub>1</sub>、18<sub>2</sub>より浅く形成されていて基板11と直接接合を構成しないため、接合耐圧が高いものとなる。また低不純物濃度の拡散層が $n^-$ 型層15<sub>1</sub>、15<sub>2</sub>と $n^-$ 型層18<sub>1</sub>、18<sub>2</sub>により、階段状に深くなるように形成されているため、基板内部での実効的なソース、ドレイン領域間の距離が表面部より大きく、従ってパンチスルー耐圧が改善され、短チャネル効果も抑制される。

またこの実施例の方法によれば、3層からなるソース、ドレイン拡散層が全て自己整合的に形成され、微細MOSFETを用いた集積回路の信頼性向上、歩留り向上が図られる。

本発明は上記実施例に限られるものではない。例えばソース、ドレイン領域の第1～第3の拡散層の形成順序は適宜変更することが可能である。また第1～第3の拡散層の形成条件も、本発明の

趣旨を逸脱しない範囲で変更することができる。  
更に実施例ではソース、ドレイン領域の構造を同様のものとしたが、衝突電極や接合耐圧が問題になるのは逆バイアスが印加されるドレイン領域側であるから、少なくともドレイン領域側にその拡散層構造を適用すれば同様の効果が得られる。

更に上記実施例では $n$ チャネルMOSFETの場合を説明したが、 $p$ チャネルMOSFETの場合も勿論、CMOS構造の場合にも本発明を適用することが可能である。また本発明におけるMOSFETは、ゲート絶縁膜として熱酸化膜を用いたもの以外に、他の絶縁膜例えばシリコン窒化膜等を用いたものも含む。

#### 〔発明の効果〕

以上述べたように本発明によれば、従来のLDD構造の問題を解決して、微細MOSFETの接合耐圧およびパンチスルー耐圧を同時に向上させて、信頼性の高い素子特性を得ることができる。

また本発明の方法によれば、このような優れた特

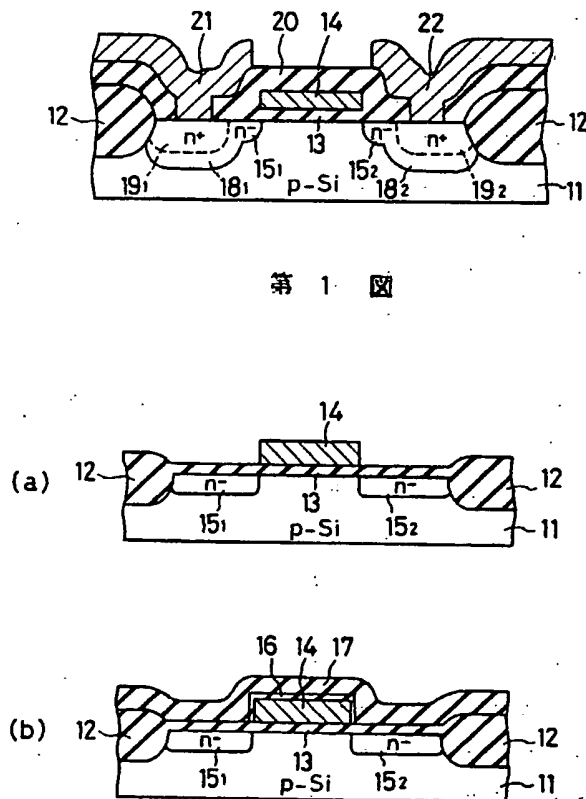
性の微細MOSFETを簡単に且つ制御性よく、高い歩留りで実現することができる。

#### 4. 図面の簡単な説明

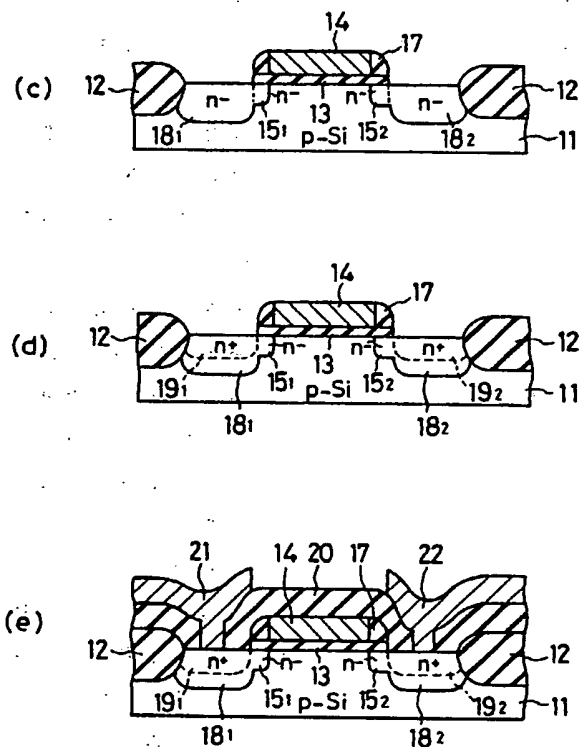
第1図は本発明の一実施例のMOSFETの断面構造を示す図、第2図(a)～(e)はその製造工程を示す断面図、第3図および第4図は従来のMOSFET構造を示す図である。

11… $p$ 型Si基板、12…フィールド絶縁膜、13…ゲート酸化膜、14…ゲート電極、15<sub>1</sub>、15<sub>2</sub>… $n^+$ 型層(第1の拡散層)、16…熱酸化膜、17…CVD酸化膜(マスク材)、18<sub>1</sub>、18<sub>2</sub>… $n^+$ 型層(第2の拡散層)、19<sub>1</sub>、19<sub>2</sub>… $n^+$ 型層(第3の拡散層)、20…CVD酸化膜、21…ソース電極、22…ドレイン電極。

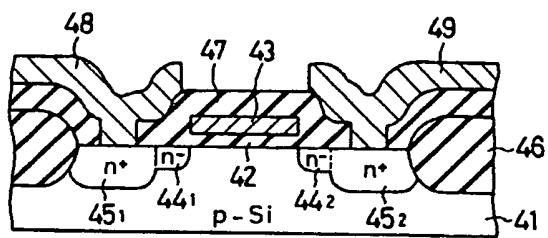
出願人代理人 弁理士 鈴江武彦



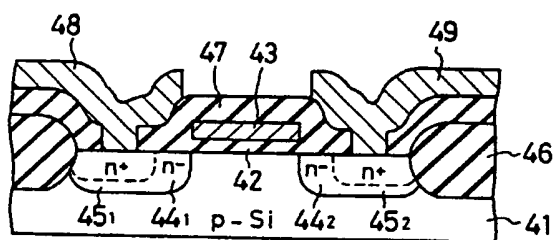
第 1 図



第 2 図



第 3 図



第 4 図